

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 64-089773  
(43) Date of publication of application : 04.04.1989

(51) Int.CI. H04N 5/66  
G02F 1/133  
G09G 3/20  
H04N 5/66

(21) Application number : 63-206491 (71) Applicant : PHILIPS GLOEILAMPENFAB:NV  
(22) Date of filing : 22.08.1988 (72) Inventor : CARLSON ALLAN I

(30) Priority

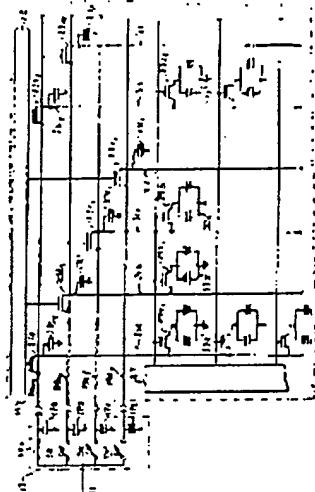
Priority number : 87 88762 Priority date : 24.08.1987 Priority country : US

### (54) ADDRESS DEVICE FOR ACTIVE DISPLAY

#### (57) Abstract:

PURPOSE: To improve the reliability of an operation by forming a sample/hold circuit so that the sampling of video information can be successively attained at a speed for storing one picture element of the video information in each sample hold circuit.

CONSTITUTION: The output terminals of a samplet/hold circuit 13 are connected to signal lines 19a and 19d on a substrate 14. Each signal line 19a and 19d is connected through connecting switches with plural vertical source line storage capacitors. For example, the line 19a is connected through switches 23a1 and 23a2 with storage capacitors 21a1 and 21a2. After the (n) picture elements of the first set of video information are connected to the signal lines 19a and 19d, the samplehold circuit 13 is recycled, and a set of switches 23a1 and 23d1 are successively inactivated, and the picture elements of the next set of video information are connected with the next set of vertical source line capacitors by the successive operation of the next set of thin film transistor switches. This process is repeated.



#### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

## ⑪ 公開特許公報 (A) 昭64-89773

⑫ Int.CI. 1	識別記号	府内整理番号	⑬ 公開 昭和64年(1989)4月4日
H 04 N 5/66		B-7605-5C	
G 02 F 1/133	332	8708-2H	
G 09 G 3/20		7335-5C	
H 04 N 5/66	102	B-7605-5C審査請求 未請求 請求項の数 17 (全11頁)	

⑭ 免明の名称 能動ディスプレイ用アドレス装置

⑮ 特願 昭63-206491

⑯ 出願 昭63(1988)8月22日

⑰ 1987年8月24日米国(US)⑯ 088762

⑱ 発明者 アラン・イワン・カー アメリカ合衆国ニューヨーク州10510 ブリアークリフ  
ルソン マナー クレスト ドライブ56⑲ 出願人 エス・ベー・フイリッ オランダ国5621 ベーアー アンド・フェン フルーネバ  
ブス・フルーランベ ウツウエッハ1  
ンフアブリケン

⑳ 代理人 弁理士 杉村 勤秀 外1名

## 明細書

1. 発明の名称 能動ディスプレイ用アドレス装置

## 2. 特許請求の範囲

1. 列のディスプレイ電子子を各々間連の記憶コンデンサを有する基底ソース ラインに結合したマトリクス パターン状に配置したディスプレイ電子子を使用する形式の能動アドレスディスプレイにおいて、

入力信号をサンプリングして、各信号サンプルが時間隔離し、にわたって得られるよう組のn個の順次的に発生するサンプリング信号を与えるための手段と、

該順次的に発生する信号サンプルを該サンプリング手段から該記憶コンデンサに伝送するため該サンプリング手段と該記憶コンデンサ間に結合した手段と、

該コンデンサに記憶されたサンプリング信号を該マトリクス パターンの行に配置したディスプレイ電子子に伝送するため該垂直ソ

ス ラインに結合した手段とを含むことを特徴とする能動ディスプレイ用アドレス装置。

## 2. 試験手段は、

該組のn個の順次的に発生するサンプリング信号を順次的に受信するよう結合したn個の信号ラインと、

各信号サンプルを時間間隔  $t_s = n \times t_1$  の間記憶コンデンサには合するための信号ライン スイッチ手段とを含むことを特徴とする請求項1記載の装置。

3. 試験信号ライン スイッチ手段はmグループのn個の信号ライン スイッチを含み、各信号ライン スイッチを該信号ラインの各々に結合したn個のスイッチコンデンサ結合を予えるような方法で該記憶コンデンサの1つに結合するようにしたことを特徴とする請求項2記載の装置。

## 4. 試験サンプリング手段は、

該信号ラインに対応しては合し、かつ該入力信号を順次的にサンプリングして各々が持

特開昭64-89773(2)

該時間にわたって取られた信号サンプル及び $\alpha$ 、時間におけるサンプルを与えるよう復元し、位置した $\alpha$ 個のサンプリング・スイッチと、

該信号サンプルを記憶するため該サンプリング・スイッチに対応して結合した $\alpha$ 個のサンプル・コンデンサで、各サンプル・コンデンサは前述の信号ラインに結合した該時間のスイッチに結合するため該前述の信号ラインに信号サンプルを与えるようにしたものとを含むことを特徴とする請求項1記載の装置。

5. 該ディスプレイ電子、該信号スイッチおよび該記憶コンデンサを基板上に設け、該サンプルコンデンサにおける該サンプリング・スイッチを該基板の外縁に設けるようにしたことを特徴とする請求項1記載の装置。

6. 該伝送手段は、

該組の $\alpha$ 個の順次的に発生するサンプリング信号を順次的に受けるよう結合した複数の信号ラインと、

- 3 -

8. 行および列のディスプレイ電子を含むマトリクスパターン状に形成し、列のディスプレイ電子を垂直ソース・ラインにお合するようしたディスプレイ電子を使用する形式のディスプレイ装置において、

入力信号をサンプリングして組の $\alpha$ 個の順次的に発生するサンプリング信号を与えるための手段と、

該順次的に発生する信号サンプルを該サンプリング手段から該垂直ソース・ラインに伝送するため該サンプリング手段と該垂直ソース・ライン間に結合した手段と、所走の行のすべてのディスプレイ電子をそれぞれ対応する垂直ソース・ラインに同時に結合するため行のディスプレイ電子に結合した手段とそれをえたことを特徴とするディスプレイ装置。

9. 該伝送手段は、

該組の $\alpha$ 個の順次的に発生するサンプリング信号を順次的に受けるよう結合した複数の信号ラインと、

- 5 -

複数の出力端子を有し、該出力端子に作動信号の連続を与えるための手段と、

各々該複数の信号ラインのうち1つのは信号ラインと該1つの信号ラインに結合する記憶コンデンサ間に結合した複数の信号ライン・スイッチとを含み、該複数の信号ライン・スイッチをして、1つのグループ内のすべてのスイッチをそのグループ内のすべての信号ライン・スイッチに共通な作動信号手段の1つの出力端子に結合することにより、該グループ内のすべてのスイッチが該1つの出力端子における記憶信号により同時に作動されるような複数グループの信号ライン・スイッチを形成せしめ、かくして、グループ内の信号ラインを関連する記憶コンデンサに結合させるようにしたことを特徴とする請求項1記載の装置。

10. 該サンプリング手段と該伝送手段との間にバッファ増幅手段を設けたことを特徴とする請求項1記載の装置。

- 4 -

複数の出力端子を有し、該出力端子に作動信号の連続を与えるための手段と、

各々1つのは信号ラインと該1つの信号ラインに結合する垂直ソース・ライン間に結合した複数の信号ライン・スイッチとを含み、該複数の信号ライン・スイッチをして、1つのグループのすべてのスイッチをそのグループ内のすべての信号ライン・スイッチに共通な該作動信号手段の1つの出力端子に結合することにより、グループ内のすべてのスイッチが該1つの出力端子における作動信号により同時に作動されるような複数グループの信号ライン・スイッチを形成せしめ、かくして、グループ内の信号ラインを関連する垂直ソース・ラインに結合させるようにしたことを特徴とする請求項8記載の装置。

10. 該動アドレス・ディスプレイ内のディスプレイ電子にビデオ情報の画面を結合する方法において、

複数のサンプル・ホールド回路に信号を送

- 6 -

特開昭64-89773(3)

合するステップと、

該サンプル・ホールド回路を順次的かつ循環的に作動させ、該回路内にビデオ情報の画面を順次的に記憶させるステップと、該ビデオ情報の画面を1作動サイクルの間隔サンプル・ホールド回路に対応する信号ラインに結合させるステップと、

該ビデオ情報の画面を1サイクルインターバルに等しい時間にわたっては能動アドレスディスプレイの垂直ソース ライン記憶コンテンツに伝送するステップと、

該垂直ソース ライン記憶コンテンツのすべてがそのなかにビデオ情報の画面を記憶したとき、該垂直ソース ライン記憶コンテンツに記憶された該ビデオ情報の画面をは能動アドレス ディスプレイの画面電子に伝送するステップとを含むことを特徴とする能動アドレス ディスプレイのディスプレイ電子にビデオ情報画面を結合する方法。

11. 該信号を該サンプル・ホールド回路に結合

するステップは、

該信号を複数の順次的かつ循環的に作動可能なサンプリング スイッチに結合するステップと、

記憶電子を該サンプリング スイッチに対応的に結合するステップとを含むことを特徴とする請求項10記載の方法。

12. 各々間連の記憶コンテンツを有する垂直ソース ラインに結合した列のディスプレイ電子を含むマトリクス パターン状に形成したディスプレイ電子を與えた入力信号に対応するディスプレイを生成する装置において、

該入力信号をサンプリングして、各信号サンプルが時間間隔 $\Delta t$ 内に得られ、時間間隔 $\Delta t$ の間保持されるような組の $n$ 個の順次的に発生するサンプリング信号を与えるための手段と、

該順次的に発生するサンプリング信号を該サンプリング手段から該記憶コンテンツに伝送し、1つの記憶コンテンツへの各伝送が該

- 7 -

- 8 -

時間間隔 $\Delta t$ 以内に行われるようにするため、該サンプリング手段と該記憶コンテンツ間に結合した手段と、

該記憶コンテンツに記憶されたサンプリング信号を該マトリクス パターンを構成するディスプレイ電子に伝送するため該垂直ソース ラインに結合した手段とを含むことを特徴とする入力信号に対応するディスプレイを生成する装置。

13. 該伝送手段は、

該組の $n$ 個の順次的に発生するサンプリング信号を順次的に受信するよう結合した $n$ 個の信号ラインと、

各信号サンプルを時間間隔 $\Delta t$ の間記憶コンテンツに結合するための信号ライン スイッチ手段とを含むことを特徴とする請求項12記載の装置。

14. 該信号ライン スイッチ手段は $m$ グループの $n$ 個の信号ライン スイッチを含み、各信号ライン スイッチを該信号ラインの各々に

結合した $m$ 個のスイッチ コンテンツ結合を与えるような方法で該記憶コンテンツの1つに結合するようにしたことを特徴とする請求項13記載の装置。

15. 該サンプリング手段は、

該入力信号を順次的にサンプリングして、各々が持続時間 $\Delta t$ にわたって取られた信号サンプルおよびインターバル $\Delta t$ におけるサンプルを与えるようにするため、該信号ラインに対応的に結合した $n$ 個のサンプリング スイッチと、

該時間間隔 $\Delta t$ の間該各信号サンプルを記憶するため、該サンプリング スイッチに対応して結合した $n$ 個のサンプリング コンテンツで、各サンプリング コンテンツにより、間連の信号ラインに結合した該 $n$ 個のスイッチには結合するため、該間連の信号ラインに該サンプルを与えるようにしたものを含むことを特徴とする請求項14記載の装置。

16. 該ディスプレイ電子、該信号スイッチおよ

- 9 -

- 10 -

-485-

特開昭64-89773(4)

び記憶コンデンサを基板上に設け、該アンプリングスイッチおよび該サンプルコンデンサを該基板の外周に設けるようにしたことを特徴とする請求項15記載の反置。

17. 垂直ソース ライン記憶コンデンサを有する駆動アドレス ディスプレイのディスプレイモニにビデオ情報の画面を結合する方法において、

該ビデオ情報の画面を間連時間間隔し、内に該画面にわたって順次的にサンプリングすることにより、サンプリングされた画面の値を生成するステップと、

サンプリングされた該画面の値をサイクルインターバル  $t_2=nt_1$  にわたってホールドするステップと、該サンプリングされた画面の値を該サイクルインターバルの間該駆動アドレス ディスプレイの該垂直ソース ライン記憶コンデンサに伝送するステップと、該垂直ソース ライン記憶コンデンサのすべてがその中にビデオ情報の画面を記憶した

とき、該垂直ソース ライン記憶コンデンサ内に記憶された該サンプリング画面の値を該駆動アドレス ディスプレイの該画面電子の対応する電子に伝送するようにしたことを特徴とするディスプレイモニにビデオ情報画面を結合する方法。

- 11 -

- 12 -

### 3. 発明の詳細な説明

#### (垂直上の利用分割)

本発明は駆動アドレス ディスプレイ (active addressed display) の分野に関するもので、特に、垂直ソース ライン スイッチに対して比較的長いスイッチング時間を持たせ、かつこのスイッチング時間に間にディスプレイ基板上において比較的小さなTFTの使用を可能とするようなアドレス回路に関するものである。

#### (従来の技術)

駆動アドレスTFTディスプレイは通常、その各々をN個の水平行およびM個の垂直列のマトリクス状に配置した液晶セルにより形成するを可とする複数のディスプレイ ユニットを使用している。この場合、ディスプレイ ユニットは、ビデオ走査ラインを逐次的にサンプリングして、M個の垂直列のディスプレイ電子に結合したソース ラインに記述する記憶コンデンサ内にビデオ情報の画面を記憶させる働きをするアドレッシング回路によりアドレスされる。ソース ライン記憶電子に

結合したソース ライン スイッチは、通常M個の段を有するシフト レジスタにより発生した水平スイッチ作動信号発生回路により該段作動させるようにする。かくして、ソース ライン スイッチは順次的にターン オンおよびターン オフされ、画面情報をディスプレイのソース ラインに接続した記憶電子に伝送する。画面情報の記憶のために必要なスイッチング時間は水平走査時間の  $1/N$  に等しい。水平走査が終了すると、通常、N個の段を有するシフト レジスタにより発生した垂直スイッチ作動信号発生回路が水平走査ラインに對応する行のスイッチを同時に作動させ、記憶された画面情報を行のディスプレイ電子に伝送する。かくして、各行の画面スイッチング電子は1フレームインターバルの間に1回駆動し、1フレーム周期の間に各ディスプレイ電子がアドレスされる。

上述のように、垂直ソース ライン記憶コンデンサを充電するのに使用する時間は水平走査ラインに沿う画素エレメントの数で水平走査時間を除した値により決められる。スイッチング時間は

- 13 -

- 14 -

特開昭64-89773(5)

標準NTSCライン走査時間および1走査ラインに沿って640の画素(解像)エレメントの場合、約100nsである。

依動アドレスディスプレイの寸法および価格を低減させるためには、画素情報をディスプレイモニ子に伝送するため使用するのと同じ形式の薄膜トランジスタを用いてディスプレイの基板上にアドレス回路を実現させることが望ましい。この配置は、ディスプレイモニ子を含む基板の外側にアドレス回路を配置する場合に必要とする相互接続の数を大幅に減少させる。薄膜トランジスタは低いチャージキャリヤ移動度を有するため、所定のトランジスタ面積に対し高いIR抵抗を有し、したがって記憶コンデンサを充電するのに長い充電時間を要する必要がある。依動アドレスアレイのマトリクス配置においては、必要とすらチャージを100nsまたはそれ以内のうちにソースライン記憶コンデンサに伝送しうる薄膜トランジスタは高いチャネル幅対長さ比を必要とし、したがって基板上にかなり大きな面積を占有することになる。

また、これらの大面积トランジスタは生産性が低い、作動上の信頼性がかなり低いという難点を有する。

本発明の目的は、ディスプレイ基板上に実現した小さいが比較的長いスイッチング時間を持った薄膜トランジスタを使用した依動アドレスディスプレイを考え、しかも品位の低下をきたすことのないようなどデオディスプレイを提供しようとするものである。

(発明の要約)

本発明の概要によるとときは、依動アドレスディスプレイの基板上に伝送する画素の信号ラインを基板外に位置する専用のサンプル・ホールド回路に対応的に結合している。これらのサンプル・ホールド回路は、最適のスイッチング時間を考えるため、逐一の結晶材料から製作することができる。前記サンプル・ホールド回路は、各サンプル・ホールド回路にビデオ情報の1つの画素を記憶させるような速度でビデオ情報を順次的にサンプリングするよう形成する。記憶されたビデオ情報

- 15 -

- 16 -

の画素はサンプル・ホールド回路に対応する信号ライン上にホールドされるようにし、この場合、ビデオ情報の画素はサンプル・ホールド回路のサンプリング時間に、使用するこのよう回路の数を乗じたものに等しい時間の間記憶されるようになる。これは、サンプル・ホールド回路のサンプリング時間に基板上の信号ラインの数を乗じたものに等しい時間周期にわたっての垂直ソースライン記憶コンデンサへの画素情報を伝送を可能にする。

各信号ラインは、ソースラインスイッチを介して複数の垂直ソースライン記憶コンデンサに結合する。信号ラインあたりのこれらコンデンサの数はビデオ走査ライン内の画素の数を信号ラインの数で除すことにより求められる。前記信号ラインはサンプル・ホールド回路により順次的に付加され、サンプル・ホールド回路の全サイクルの間付加され続けるようになる。かくして、最初のサイクルが終了した後、各信号ライン上の第1記憶コンデンサに画素情報を記憶される。次いで、

サンプル・ホールド回路は再循環し、同じようにして、信号ラインに結合した第2記憶コンデンサにビデオ情報の画素が記憶される。このプロセスは完全な走査ラインのビデオ情報の画素が記憶されまるまで繰り返す。この時点で、垂直ソースライン記憶コンデンサに記憶された信号が記憶水平ビデオ走査ラインに対応するディスプレイモニ子同時に結合されるようになる。

本発明の第2実施例の場合は、若干数のソースラインスイッチを水平スイッチ依動信号発生器、またはシフトレジスタからの单一パルスにより同時に作動させており、依動せずなわちトロイのサンプル・ホールド回路を用いて対応する数の信号ライン上の画素情報をホールドするようしている。また、これらのサンプル・ホールド回路および信号ラインは2つの同じグループに分割する。第1グループのソースラインスイッチのゲートはシフトレジスタの第1出力段に結合する。この第1グループのソースラインスイッチは第1グループの信号ライン上の画素情報を記憶する。

- 17 -

- 18 -

特開昭64-89773(6)

1 グループのソース ラインに転送しうるよう結合する。また、第2グループのソース ライン スイッチのゲートをシフトレジスタの第2出力段に結合する。この第2グループのソース ライン スイッチは第2グループの信号ライン上の箇量情報を第2グループのソース ラインに転送しうるよう結合する。また、第3グループのソース ライン スイッチのゲートをシフト レジスタの第3出力段に結合する。この第3グループのソース ライン スイッチは第1グループの信号ライン上の箇量情報を第3グループのソース ラインに転送しうるよう結合する。このソース ライン スイッチの構成は、すべてのソース ライン スイッチがスイッチ グループでシフトレジスタの出力段に結合されるまで巡回されるものとする。また、仮数ナンバー グループのソース ライン スイッチは第1グループのN/2 ほんラインからの箇量情報を仮数ナンバー グループのソース ラインに転送し、仮数ナンバー グループのソース ライン スイッチは第2グループの信号ライ

ンからの医療情報を仮想ナンバー グループのソース ラインに伝送するようになっている。また、この場合、並列ソース ライン スイッチに対し比較的長いスイッチング時間を許容するような信号ラインおよびソース ライン スイッチに囲む他のグループングも可能である。

作動に際しては、国電情報は第1実路例の場合のように、逐次的に信号ライン上にスイッチされる。かくして、国電情報が第1グループの信号ライン上にあらわれた後、第1グループのソースライン スイッチがターン オンしてその国電情報を第1グループのソース ラインに転送する。この転送周期の間に、国電情報は逐次的に第2グループの信号ラインにスイッチされる。国電情報が第2グループの信号ライン上に置かれた後、第2グループのソース ライン スイッチがターン オンして第2グループのソース ライン上に国電情報を転送する。また、この転送周期の間に、新しい国電情報が第1グループの信号ライン上に現れるようとする。このプロセスは、1ラインの

- 19 -

- 20 -

ビデオ情報がソース ライン記憶コンデジナに伝送されるまで返しし行うものとする。かくして、第1実施例の場合のように、ビデオ走査ラインに対応するゲート ラインがターン オンされて、画素情報は同時にディスプレイ電子に伝送される。このスイッチング回路はソース ライン スイッチを作動させるのに使用する段数をより少なくし、より低速なシフト レジスタの使用を可能にする。また、シフト レジスタとソース ライン スイッチ間の接続の数を少なくできることは、シフト レジスクをディスプレイの基板の外に位置させることを実際的とし、しかもディスプレイの基板と駆動電子回路間の相互接続の数をかなり減少させることを可能とする。

また、本発明の他の実施例においては、対応するビデオ信号の走査ラインのサンプリングがスタートしたとき、行の箇数エレメント・スイッチをターン・オンさせている。この方法は箇数信号をサンプル・ホールド回路から行に沿う箇数エレメントに直送することを可能にするので、ソー

ス ライン記憶コンテンツを設けることが不要となる。

さらに、本発明の他の実施例の場合には、サンプル・ホールド回路コンデンサと行号ラインとの間に高入力インピーダンスのバッファ増幅器を結合するようにしており、かくしてサンプリングの性能を低下させることなしにサンプル・ホールド回路内のコンデンサの小容量化を可能にしている。また、この場合には、アレイをアドレスするために必要な電圧はバッファ増幅器の電源から供給することができる。

(卷五)

以下図面により本発明を説明する。

第1図において、サンブル・ホールド回路13のビデオ入力端子11にはビデオ走査タイミングを結合する。即回路13は、スイッチング速度および電流遮断の要求に合致させるとため、ディスプレイモニタを含む基板14から離れた位置に第一結晶格子により形成する可とする。また、説明目的のため、図においては、サンブル・ホールド回路13は記憶

- 21 -

- 22 -

特開昭64-89773(7)

コンデンサ17aないし17dに結合した一般のスイッチ結合15aないし15dの形で示してある。サンブル・ホールド回路13の出力端子は基板14上の信号ライン19aないし19dに結合する。かくして、入力端子11に結合したビデオ走査ラインはスイッチ15aないし15dを順次的にクーン オンおよびタージ オフして対応する記憶コンデンサ17aないし17dを入力端子11に結合することによりサンブルされるようになる。この場合、スイッチング速度は、各記憶コンデンサが、ビデオ情報の1つの画面を記憶するのに充分な時間にわたり入力端子に結合されるよう調整する。1つのコンデンサが充電された後、画面情報を交換する場合は、当該コンデンサを入力端子に結合するスイッチが再び操作するまで、対応する信号ライン上にとどまる。したがって、スイッチング時間が長くなる場合、表示信号は時間t<sub>1</sub>=t<sub>0</sub>+t<sub>1</sub>の間、信号ライン上に保存される。そこで、これは基板上の信号ライジングエッジであり、図示実施例の場合ほどに珍しい。

各信号ライン19aないし19dは、結合スイッチ

を介して複数の垂直ソース・ライン記憶コンデンサに結合する。例えばライン19aの場合は、スイッチ23a、および23dを介して記憶コンデンサ21a、および21dに結合する。また、例えば、シフトレジスタにより形成する可とするスイッチ作動回路25は、スイッチ23aないし23dを順次的に作動させ、信号ライン19aないし19d上のビデオ情報の画面を垂直ソース・ライン記憶コンデンサに伝送するよう同期させる装置を有する。この伝送は時間間隔t<sub>1</sub>=n×t<sub>1</sub>にわたって行われるので、基板14上のスイッチ23aないし23dは、基板上に占める面積が比較的小さい垂直トランジスタのような伝送作動形のもので差支えない。最初の組のビデオ情報の垂直エッジが信号ライン19a、19dに結合された後は、サンブル・ホールド回路13はリサイクルされて、組のスイッチ23aないし23dは逐次的に不活性となり、次の組の垂直トランジスタスイッチの逐次的作動により次の組のビデオ情報の画面が次の組の垂直ソース・ライン・コンデンサに結合されるというプロセスが繰り返す。図におい

- 23 -

- 24 -

ては、後述する組のスイッチおよびコンデンサとして、スイッチ23a、23d、および関連の垂直ソース・ライン記憶コンデンサ21a、21dのみを示してある。プロセスは、1ビデオ走査ラインを完成するための組のn個のこのようないしコンデンサを各信号の垂直ソース・ライン記憶コンデンサがビデオ情報の画面で充電されるまで繰り返す。

すべての垂直ソース・ライン記憶コンデンサが充電された場合は、行のm×n×M伝送スイッチ(図にはそのうち4つのスイッチ29a、29b、29c、および29dを示す)が垂直パルス発生回路27により活性となり、記憶されたビデオ情報の画面を記憶コンデンサ21からM垂直ソース・ライン(図にはそのうち6つのライン31a～31fを示す)を介して、行のMディスプレイ要素(図にはそのうち4つの素子33a、33b、33c、および33dを示す)に伝送することを可能にする。このプロセスは各ビデオ走査ラインに対して繰り返される。

以上、個々のサンブル・ホールド回路の順次的スイッチングに関して本発明を説明してきたが、い

くつかの変形も可能であり、このような変形の一例を第2図に示す。この場合は、複数のソース・ライン・スイッチをグループ化し、水平スイッチ作動回路からの單一出力パルスにより同時に作動させるようにしており、例えば、グループ35aないし35dをシフト・レジスタ38から結合されたライン37上のパルスにより同時に作動させ、グループ39aないし39dをシフト・レジスタ38から結合されたライン41上のパルスにより作動させるよう形成する。また、偶数のサンブル・ホールド回路を使用して奇数の信号ライン上の画面情報を保持するようにしており、第2図においては、8つのこの組サンブル・ホールド回路43aないし43hを対応する日本のライン15aないし15hに結合する例を示している。第1グループ(N/2)のソース・ライン・スイッチ、第2図の35aないし35dはシフト・レジスタ38の第1出力段に結合する。この第1グループのソース・ライン・スイッチ35aないし35dは、サンブル・ホールド回路43aないし43dにより信号ライン15aないし15d上に記憶

- 25 -

- 26 -

特開昭64-89773(8)

名第1グループの4つの信号サンプルの箇条情報をソース ライン51a ないし51d を介して第1グループのソース ライン記憶コンデンサ52a ないし52d に結合させる。また、第2グループのソース ライン スイッチ39a ないし39d はシフトレジスタ38の第2出力段に結合する。この第2グループのソース ライン スイッチ39a ないし39d はサンプル・ホールド回路43a ないし43d により第2グループの信号ライン45a ないし45d 上に得られる第2グループの4つの信号サンプルの箇条情報を第2グループのソース ライン55a ないし55d を介して第2グループの記憶コンデンサ53a ないし53d に結合させる。

第3グループのソース ライン スイッチ57a ないし57d はシフトレジスタ38の第3出力段から結合されたライン59上のパルスにより活性化される。この第3グループのソース ライン スイッチはサンプル・ホールド回路43a ないし43d により得られる第3グループの4つの信号サンプルにおける箇条情報をソース ライン63a ないし

63d を介してソース ライン コンデンサ61a ないし61d に伝送する。第4グループのソース ライン スイッチ(図示せず)はシフト レジスタ38の第4出力段により活性化され、第2グループのサンプル・ホールド回路43a ないし43d から得られる第4グループの4つの信号サンプルを第4グループのソース ライン コンデンサに結合させる。シフト レジスタの出力段に結合したソース ライン スイッチ、ソース ラインおよびソース ライン記憶コンデンサのグルーピングはソース ライン記憶コンデンサのすべてがサンプル・ホールド回路に結合されるまで伝送される。この段階においては、奇数番号グループのソース ライン スイッチは最初のh/2 信号ラインからの箇条情報を奇数番号グループのソース ラインに伝送し、偶数番号グループのソース ライン スイッチは第2グループのh/2 信号ラインからの箇条情報を偶数番号グループのソース ラインに伝送する。信号ラインおよびソース ライン スイッチの他のグルーピングは至適ソース ライン

- 27 -

- 28 -

スイッチに対して比較的長いスイッチング時間を与えることとする。

動作に際しては、箇条情報は前述したと同じようにして信号ライン上にスイッチされる。箇条情報が第1グループの信号ライン上に置かれた後、第1グループのソース ライン スイッチがクーン オンされて、箇条情報を第1グループのソース ライン上に伝送する。この伝送周期の間に、箇条情報が順次的にサンプル・ホールド回路から第2グループの信号ラインに結合される。かくして、箇条情報が第2グループの信号ライン上に達むと、第2グループのソース ライン スイッチがクーン オンされて、箇条情報を第2グループのソース ライン上に伝送され、この第2周期の間に新しい箇条情報が第1グループの信号ライン上にあらわれる。この新しい箇条情報が第3グループの信号ライン上にあらわれると、第3グループのソース ライン スイッチがクーン オンされて、箇条情報を第3グループのソース ライン上に伝送する。このプロセスは、ビデオ情報の送

受ラインがその走査ライン用のソース ライン記憶コンデンサに伝送されるまで繰返される。その時間には、走査シフト・レジスタ64のような垂直スイッチ動作回路からのパルスにより、そのビデオ走査ラインに対応するゲート ラインがターン オンされ、同時に、箇条情報を前述のようにしてディスプレイモニターに伝送される。このようにして、より少ない段数の低速シフトレジスタを使用してソース ライン スイッチを動作させることができとなる。また、このシフト レジスタとソース ライン スイッチ間に必要とする接続がより少なくてすむので、シフト レジスタをディスプレイの基板から離して配置することが実用的となり、かつ、基板と駆動電子回路間の相互接続を比較的少なくすることができます。

再び走査回路において、サンプル・ホールド回路43a ないし43d と信号ライン45a ないし45dとの間に、それぞれに対応して、高入力インピーダンス バッファ増幅器65a ナイク65d を結合する。これらのバッファ増幅器はサンプル・ホールド回

- 29 -

- 30 -

特開昭64-89773(9)

路の保持容量をより少なくし、しかも適正な入力ビデオ信号のアンブリッジを与えることを可能にする。この場合、バッファ増幅器は電源を必要とするので、アレイのアドレスに必要な電源はそれから抽出することができる。

上述のように、行の圖素エレメントスイッチを同時にターンオンし、サンプル・ホールド回路によるビデオ情報の対応する走査ラインのサンプル・ホールド回路をスタートさせるようにした本発明装置においては、回路系の経済性の実現をはかることができるが可なりとなる。

次に、第3図はサンプル・ホールド回路から走査行(scan row)に沿って直線圖素エレメントに圖素情報を伝送するよう形成した本発明実施例の構成図を示す。第1グループのソースラインスイッチ71は、サンプル・ホールド回路13がビデオ情報の走査ラインのサンプリングを開始すると活性化される。この第1グループのソースラインスイッチ71の作動と同時に、サンプリングされているビデオ情報の走査ラインに対応する直

線エレメントスイッチ75の全ラインが垂直シフトレジスタ77のような垂直スイッチ作動回路により活性化される。ソースラインスイッチ71は、対応する第1グループのサンプル・ホールドモードよりのすべての圖素情報が圖素エレメントに伝送されるまで、活性状態を保持する。第2グループのソースラインスイッチ79は第1グループのソースラインスイッチ71が作動してからある時間間隔後に活性となり、第2グループのソースラインスイッチ79に対応する第2グループのサンプル・ホールドモードから対応する圖素エレメントへの圖素情報の時宜を得た伝送を可視にする。第3グループのソースラインスイッチ81は、第2グループのソースラインスイッチ79が作動してからある時間間隔後に活性となる。第2グループの起動と第3グループの起動との間の時間間隔は第1グループの起動と第2グループの起動との間の時間間隔に等しい。第3グループのソースラインスイッチ81の作動は第1グループのサンプル・ホールド回路からの圖素

- 31 -

- 32 -

情報を伝送を終容する。このようなグループのソースラインスイッチの逐次的起動は走査ラインが完了するまで順次する。この手順はソースライン記憶コンデンサの配置を必要としない。

本発明は本明細書に記載の実施例に限定されるものではなく、本発明は他の変形をも包含するものである。

#### 4. 図面の簡単な説明

第1図ないし第3図は本発明装置の実施例の構成図である。

#### 11…ビデオ入力端子

13. 43a～43b, 73…サンプル・ホールド回路  
14…基板  
15a～15d, 23a～23d, 23a, 23b, …スイッチ  
17a～17d, 21a, ～21d, 21a, 21b, 48a～  
49d, 53a～53d, 61a～61d…記憶コンデンサ  
19a～19d, 45a～45h…信号ライン  
25, 39…スイッチ作動回路(シフトレジスタ)  
27, 64, 77…垂直シフトレジスタ  
29a, ～29c, 29a, ～29c, …伝送スイッチ

31a～31f, 51a～51d, 55a～55c, 63a～63d…垂  
直ソースライン  
33a～33c, 33e…ディスプレイモニタ  
35a～35d, 39a～39d, 57a～57d, 71, 79, 81…  
ソースラインスイッチ  
81…ソースラインスイッチ  
37, 41, 59…ライン  
65a～65h…バッファ増幅器  
75…圖素エレメントスイッチ

特許出願人 エス・ベー・フィリップス・  
フルーランベンファブリケン

代理人弁理士 三 村 信 功 

同 弁理士 三 村 信 功 

- 33 -

- 34 -

特開昭64-89773(10)

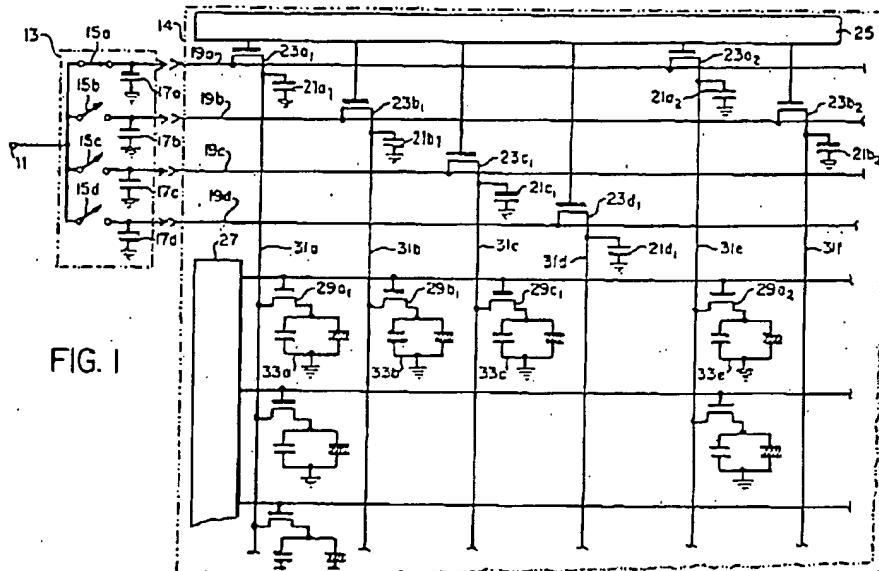
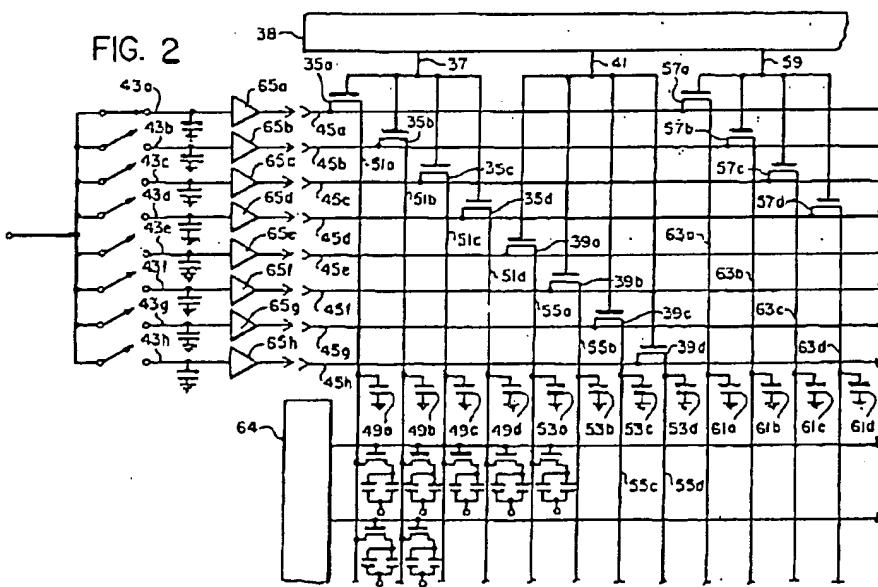


FIG. 2



特開昭64-89773(11)

